

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP63012132
 Publication date: 1988-01-19
 Inventor(s): SUMI HIROBUMI; others: 01
 Applicant(s): SONY CORP
 Requested Patent: JP63012132
 Application Number: JP19860156496 19860703
 Priority Number(s):
 IPC Classification: H01L21/28; H01L21/88; H01L29/78
 EC Classification:
 Equivalents: JP2658019B2

Abstract

PURPOSE: To form a barrier metal without using special processes such as evaporation, by selectively forming high-melting-point metal or a compound of high-melting-point metal on a substrate, thereafter thermally treating said high-melting-point formed layer in an atmosphere including nitrogen.
CONSTITUTION: On an Si substrate 10, an SiO₂ layer 11 having a hole 11a is formed. A Ti layer 12 is deposited on the SiO₂ layer. Then, annealing is performed so that a part of Ti located in the hole part 11a reacts with the substrate 10. Thus a TiSi₂ layer (gate electrode) 13 is formed. Then the entire Ti 12 is removed by etching using H₂O₂. Heat treatment is performed in an nitrogen atmosphere, and a TiN layer 14 is selectively formed on the TiSi₂ layer 13 in a self-aligning manner. Thus a barrier metal layer 14 can be formed without using special processes such as evaporation.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-12132

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)1月19日

H 01 L 21/28
21/88
29/78

3 0 1

N-7638-5F
B-6708-5F
P-8422-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-156496

⑯ 出 願 昭61(1986)7月3日

⑰ 発 明 者 角 博 文 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 発 明 者 濱 嶋 俊 樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 高 月 亨

明 細 書

して利用することができる。

1 発明の名称

半導体装置の製造方法

(発明の概要)

2 特許請求の範囲

1. 高融点金属の窒化膜が形成された半導体装置の製造方法において、

半導体基板上に高融点金属または高融点金属化合物を選択的に形成する工程と、

上記高融点金属または高融点金属化合物を窒素を含む雰囲気中で熱処理する工程とを備える半導体装置の製造方法。

本発明は半導体装置の製造方法において、例えば超LSIのゲート電極として用いられるような高融点金属や高融点金属化合物の上にバリアメタルとして用いる窒化物を形成する方法に関し、特に界面トラップを減少させるために行われるフォーミング・アニール(Forming Anneal)を窒素雰囲気中で行うことにより、ゲート電極としての高融点金属シリサイドだけの表面上に自己整合的にバリアメタルとしての窒化物(TiNなど)を形成するようにしたものである。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に高融点金属または高融点金属化合物上に窒化物を形成した半導体装置に関するものである。本発明の半導体装置の製造方法は、例えば具体的には超LSIのゲート電極上のバリアメタルの形成方法と

(従来技術)

従来、超LSIのゲート電極材料としては、ポリシリコンが用いられてきたが、最近ではポリシリコンよりも大幅に抵抗率の低い各種高融点金属や、シリサイド等の新材料の必要性が認識されてきている。特に、高集積度化、高速化の要求が強

いDRAMプロセスにおいては、抵抗率の低い新材料の使用は不可欠である。例えば、256KdRAMにおいては高速化のために既にMoSiのゲート構造が採用されており、また、1MRAM、更には4M、16MdRAMへと高集積化が進むにつれて、ゲート電極や配線における抵抗率はデバイスの演算速度を決定する最も重要な要因となる。このため、ゲート電極材料の低抵抗化が強く要請されている。

このような低抵抗の材料としては、抵抗率の少ない高融点金属シリサイド例えばチタンシリサイド(TiSi₂)が有望視されている。TiSi₂をゲート電極として用いる場合は、アルミニウム等の金属配線との間の反応を防止するためのバリアメタルとして、電極形成後に蒸着装置等によってチタナイトライドTiNなどを電極上に形成する必要がある。

第7図(a)(b)(c)はTiNのバリアメタルを形成する従来の方法を示す。まず、第7図(a)に示すように、半導体基板1に積層されたSiO₂層2に形成さ

れた開口部2a内には、TiSi₂のゲート電極3が配設され、さらにそれらの上にはバリアメタル4用のTiNがCVD等によってデポジットされる。続いて第7図(b)に示すようにウェットエッチング(アンモニアエッチングなど)、或いはプラズマエッチングなど等のエッチングを行ってゲート電極3上にだけTiNが残留するようにしてバリアメタル4を形成する。(c)はA配線5の形成を完了した状態を示す。

しかしながら、このような従来の方法によれば、バリアメタル自体を形成するための工程及びTiNの蒸着装置を必要とするため、工程の複雑化と設備費の増大を招く。また、表面積の狭い場所等にTiN膜を的確に蒸着形成することが容易でなかった。

上記従来技術に関連する文献としては、特開昭57-133683号、同58-157172号、同59-171171号、同60-100464号公報、フォーミング・オブ・TiN/TiSi₂/p⁺-Si/n-Si・ハイ・ラピッド・サーマル・アニーリン

(RTA)・シリコン・インプランデッド・ウィズ・ボロン・スルー・チタニウム(Forming of TiN/TiSi₂/p⁺-Si/n-Si by Rapid Thermal Annealing (RTA) Silicon Implanted with Boron Through Titanium)「IEEE ELECTRON DEVICE LETTERS」(VOL. EKL-6, NO. NOVEMBER 1985)を挙げることができる。

(発明が解決しようとする問題点)

上述したように従来技術には、工程の複雑化、狭い場所におけるTiN膜蒸着の困難性といった問題があった。本発明の目的は、バリアメタルを形成するための特別な工程を用いることなく高融点金属またはその化合物(TiSi₂等)のゲート電極等上にバリアメタル(TiN等)を自己整合的且つ確実に形成して、製品の品質向上、低コスト化、工程時間の短縮化、歩留りの向上を達成することができる、半導体装置の製造方法を提供することである。

(問題点を解決するための手段)

本発明の半導体装置の製造方法は、高融点金属の窒化膜が形成された半導体装置の製造方法において、半導体基板上に高融点金属または高融点金属化合物を選択的に形成した後、上記高融点金属または高融点金属化合物を窒素を含む雰囲気中で熱処理する。本発明のこの構成をとることにより、上記目的を達成することができる。

(作用)

すなわち本発明は、半導体基板上に高融点金属または高融点金属化合物を選択的に形成してから、上記高融点金属または高融点金属化合物を窒素を含む雰囲気中で熱処理するようにしたため、これをバリアメタルの製造工程に応用した場合には、一工程を構成するフォーミングアニール時に、ゲート電極上の所望位置に所望の範囲に亘ってバリアメタルを選択的に形成することができる。このため、バリアメタルを蒸着させる従来の工程を不要とし、迅速な処理が可能となる。また、TiN膜

などを形成する場合でもこれを蒸着させる装置を特に必要としないため、経費を節減して製造コストを低下させることができる。

(実施例)

以下、本発明の半導体装置の製造方法について、その一実施例につき詳細に説明する。

第1図は本発明方法を適用した場合のフロー図、第2図(a)(b)(c)は本発明方法の原理をこの実施例を参照して示す工程説明図である。

まず、第2図(a)はSi基板10に順次積層された二酸化ケイ素(SiO₂)層11及びpoly Si(ポリシリコン)層12上に、高融点金属または高融点金属酸化物、例えばチタン(Ti)層13を蒸着によって形成した状態を示す。次に第2図(b)においてIRアニールを行うことによってTi層13をTiシリサイド(TiSi₂)にし、続いて第2図(c)において窒素を含む雰囲気中でフォーミング・アニールを行うことによって、TiSi₂層13上にTiN層14を形成する。

はTiSi₂から成るゲート電極13上面の一部にだけTiN層(バリアメタル)14を形成する工程を示しており、この例は第3図(c)のエッチング工程までは共通し、それ以降の工程が異なっているので、それ以降について図により説明する。まず、第4図(a)のリンシリケートガラス(PSG)積層工程で積層されたPSG層16に、第4図(b)に示すフォーミング・アニール工程で小さな孔16aを形成するとともに、窒素雰囲気中で熱処理を行って該孔16a内に露出したTiSi₂層13上面にバリアメタルのTiN層14を形成し、最後に第4図(c)の配線工程でA₂等の金属配線を行う。第4図(a)~(c)の工程においては、ゲート電極上の極めて狭い面積部分にバリアメタル層14を形成することが可能となる。

次に、第5図及び第6図は、第3図(a)までの工程によって形成された積層構造体(フォーミング・アニール前)及び第3図(c)までの工程によって形成された積層構造体(フォーミング・アニール後)の深さ方向に対する各オージェ強度を比較図示し

第3図(a)~(e)は、上記原理を応用して具体的に本実施例とした場合を示す図である。本例ではシリサイド化されたゲート電極上にバリアメタルとしてのTiN層を形成するもので、第3図はその製造工程の説明図である。まず、第3図(a)に示すTiのデポジット工程においては、Si基板10上に積層されるとともに開口部11aを有したSiO₂層11上にTi層12がデポジットされる。第3図(b)のIRアニール工程では開口部11a内に位置するTiの一部がSi基板10と反応してTiSi₂層(ゲート電極)13となる。このTiSi₂層13の一部は基板10内にまで拡散配置される。第3図(c)のエッチング工程ではH₂O₂を用いたエッチングによってTi層12が全て除去される。第3図(d)の、界面トラップ防止のためのフォーミング・アニール工程では、窒素雰囲気中で熱処理が行われ、TiSi₂層13上面に、自己整合的且つ選択的にTiN層14が形成される。これがバリアメタルとなる。第3図(e)はA₂配線層15の形成工程である。

第4図(a)~(c)は上記例の変形例を示す。第4図

たものである。

まず第5図は、第2図(a)に示した積層構造体であるTi(500Å)/Poly Si(2500Å)/SiO₂/Siに、IRアニールを施して第2図(b)のようにTi層13をシリサイド化したときにおける、深さ方向に対する各層(Si(92eV)、Ti(393eV)、Ti+N(418eV)、O(518eV))の各オージェ強度を示している。このグラフから理解されるように、内部には安定したTiSi₂層が形成され、表面にはTiN層が形成されている。(なお深さはスパッタ時間(分)で示しているが、第5図では40minで約650Å程度の深さである)。

第6図は、第2図(a)に示した積層構造体であるTi(300Å)/Poly Si(2500Å)/SiO₂/Siに、IRアニールを施して第2図(b)のようにTi層13をシリサイド化した後、窒素雰囲気中で400℃、60分フォーミング・アニールを施した場合における各層(Si(92eV)、Ti(393eV)、Ti+N(418eV)、O(5

18 e V)) のそれぞれのオーজে強度を示す。第5図のフォーミング・アニール前の状態と比較すると、内部では同様に安定したTiSi₂層が形成されているが、表面近傍においては、完全に1:1の組成から成る安定したTiNを形成していることが理解される。このことはTiSi₂層の表面に形成されるバリアメタル層が安定したものであることを示す。(なおこの第6図では、スパック時間が100 minで約150 Åの深さである)。

以上のように、本発明の半導体製造方法を適用すると、半導体装置製造の一工程であるフォーミング・アニール時に、ゲート電極上の所望位置に所望の範囲に亘ってバリアメタルを選択的に形成することができる。ことため、バリアメタルを蒸着させる従来の工程を不要として迅速な処理が可能となる。また、窒化膜を蒸着させる装置を特に必要としないため、経費を削減して製造コストを低下させることもできる。

(発明の効果)

層、12……poly Si層、13……高融点金属または高融点金属酸化物(Ti層)、14……バリアメタル、15……金属配線層、16……P SG層。

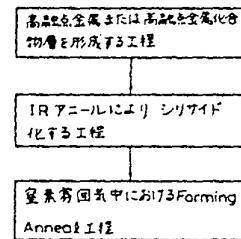
特許出願人 ソニー株式会社
代理人 弁理士 高 月 亨

上述したように、本発明によれば、バリアメタル等を形成するための特別な工程を用いることなく、バリアメタルを自己整合且つ確実に形成して、製品の品質向上、低コスト化、工程時間の短縮、歩留りの向上を達成することができる。

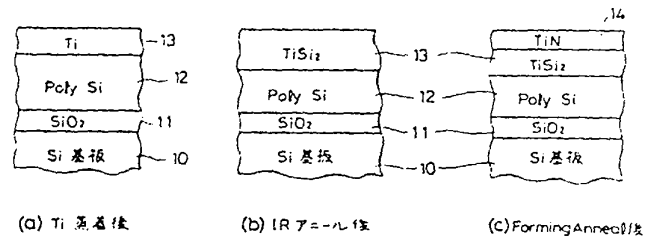
4. 図面の簡単な説明

第1図は本発明方法の工程を例示するフロー図、第2図(a)~(c)は本発明方法の原理を一実施例を用いて示す説明図、第3図(a)~(e)は本発明方法を応用した実施例の工程説明図、第4図(a)~(c)は該実施例の変形例の工程説明図、第5図及び第6図はフォーミング・アニール前と後における各層のオーজে強度の比較のためのグラフである。第7図(a)~(c)は従来の蒸着による製造方法の説明図である。

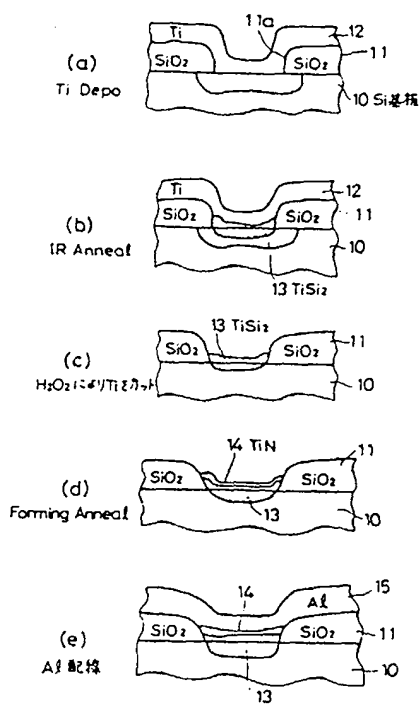
1……半導体基板、2……SiO₂層、3……ゲート電極、4……バリアメタル、5……金属配線、10……Si基板、11……二酸化ケイ素(SiO₂)



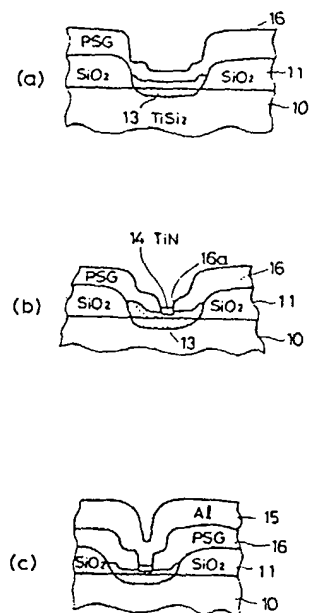
フロー図
第1図



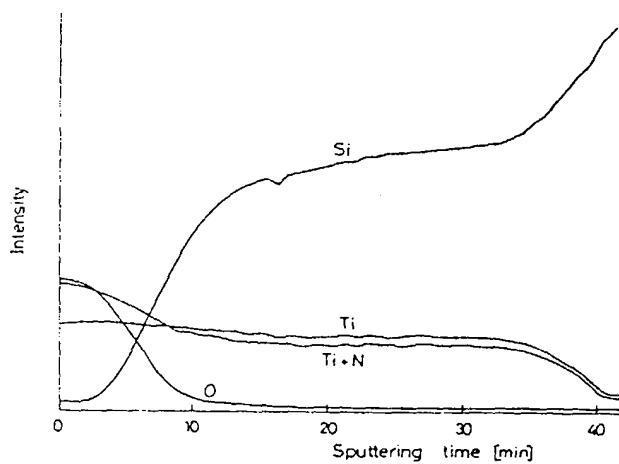
本発明方法の原理を示す工程図
第2図



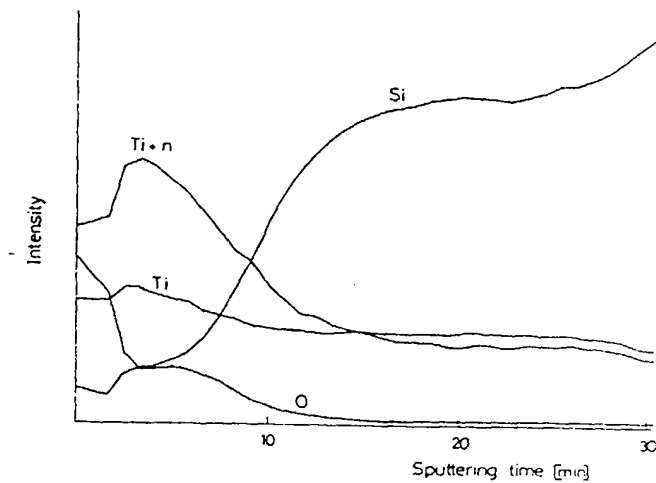
本発明方法の実施例 (1)
第 3 図



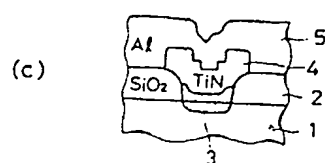
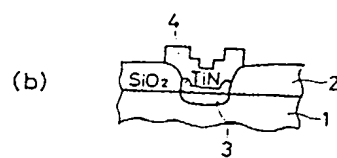
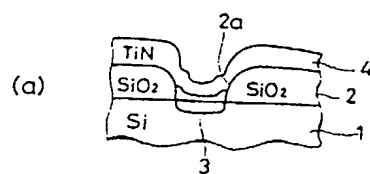
実施例 (2)
第 4 図



深さ・オーダ・強度図
第 5 図



深さ・オーダ・強度図
第 6 図



従来方法
第 7 図